

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-342399  
 (43)Date of publication of application : 29.11.2002

(51)Int.CI. G06F 17/50  
 H01L 21/3205  
 H01L 21/82

(21)Application number : 2001-147066

(71)Applicant : SEMICONDUCTOR LEADING EDGE TECHNOLOGIES INC

(22)Date of filing : 16.05.2001

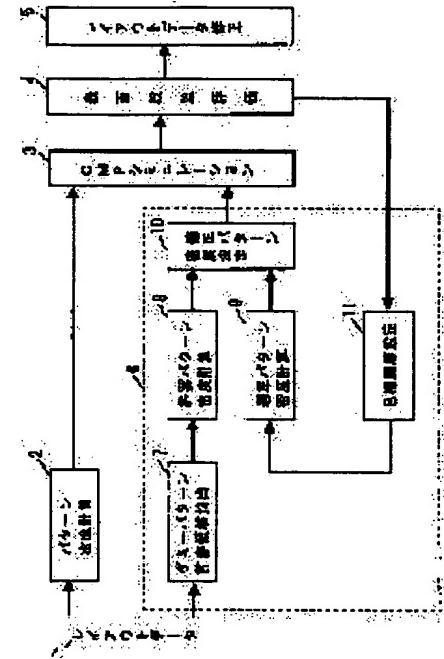
(72)Inventor : OTA TOSHIYUKI

## (54) METHOD AND PROGRAM FOR DESIGNING DUMMY PATTERN ACCOMPANYING POLISHING PROCESS AND RECORDING MEDIUM WITH THE PROGRAM RECORDED THEREON

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To efficiently design a dummy pattern to be formed on a wiring layer for eliminating the surface step of polished surfaces after a chemical mechanical polishing(CMP) process in a production process of semiconductor device.

**SOLUTION:** The correction value of pattern density is determined on the basis of allowable pattern density derived from the request of inter-wiring capacity reduction and proper pattern density derived from the request of surface step reduction on the polished surfaces. Further, it is verified by simulation whether the surface step of the polished surfaces is settled within an allowable range or not when the dummy pattern is formed so that the corrected pattern density can be provided and when the step is out of the allowable range, by repeating similar processing, the pattern density satisfying two requests in good balance is determined.



### LEGAL STATUS

[Date of request for examination] 04.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2002-342399

(P2002-342399A)

(43) 公開日 平成14年11月29日 (2002.11.29)

(51) Int.Cl.<sup>7</sup>  
G 0 6 F 17/50  
H 0 1 L 21/3205  
21/82

識別記号  
6 5 8

F I  
G 0 6 F 17/50  
H 0 1 L 21/88  
21/82

テ-マコ-ト(参考)  
6 5 8 M 5 B 0 4 6  
S 5 F 0 3 3  
K 5 F 0 6 4  
W  
C

審査請求 有 請求項の数16 ○ L (全 10 頁)

(21) 出願番号 特願2001-147066(P2001-147066)

(22) 出願日 平成13年5月16日 (2001.5.16)

(71) 出願人 597114926

株式会社半導体先端テクノロジーズ  
茨城県つくば市小野川16番地1

(72) 発明者 太田 敏行

神奈川県横浜市戸塚区吉田町292番地 株  
式会社半導体先端テクノロジーズ内

(74) 代理人 100082175

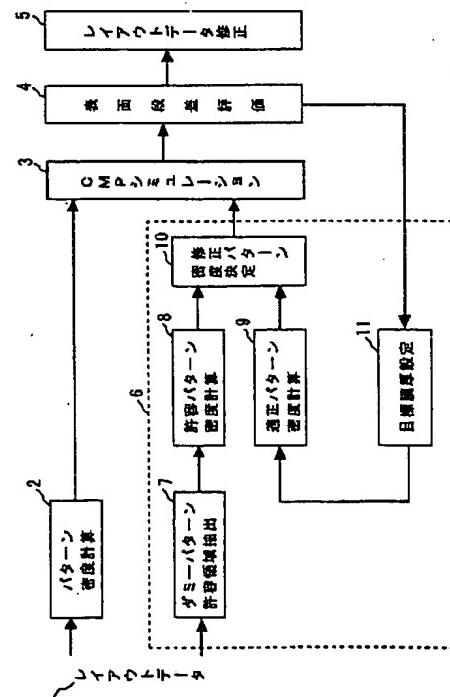
弁理士 高田 守 (外2名)

(54) 【発明の名称】 研磨工程に伴うダミーパターンの設計方法、プログラムおよびそのプログラムを記録した記録媒体

(57) 【要約】

【課題】 半導体装置の製造過程で C M P (Chemical Mechanical Polishing) 工程後の研磨面の表面段差を解消するために配線層に形成するダミーパターンを効率よく設計する。

【解決手段】 配線間容量低減という要求から導き出される許容パターン密度と、研磨面の表面段差低減という要求から導き出される適正パターン密度とに基づいてパターン密度の修正値を決める。さらに修正されたパターン密度となるようにダミーパターンを形成した場合に研磨面の表面段差が許容範囲内となるかをシミュレーションにより検証し、許容範囲外の場合には同様の処理を繰り返すことにより、2つの要求をバランスよく満たすパターン密度を決定する。



## 【特許請求の範囲】

【請求項1】 半導体装置の配線層に形成される、当該配線層の配線パターンとは別のダミーパターンの設計方法であって、(a)配線層のパターン密度に基づく研磨シミュレーションを行って、チップ上に定義された各計算単位領域における所定の基準面から研磨面までの高さを表す被研磨層膜厚を計算するステップと、(b)前記計算により求められた各計算単位領域の被研磨層膜厚に基づいて、研磨面の表面段差が許容範囲内か否かを判定するステップと、(c)前記判定において許容範囲外と判定した場合に、前記計算単位領域ごとに、配線パターンとダミーパターンとの間に生ずる配線間容量が所定値以下となるようにダミーパターンを配置した場合の当該計算単位領域のパターン密度の上限値を表す許容パターン密度と、前記研磨面の表面段差が許容範囲内となるようにダミーパターンを配置した場合の当該計算単位領域のパターン密度を表す適正パターン密度とを求め、前記許容パターン密度および適正パターン密度に基づいて当該計算単位領域の修正パターン密度を決定するステップとを含み、

ステップ(a)における配線層のパターン密度を前記修正パターン密度と置き換えて、ステップ(a)から

(c)までを前記研磨面の段差が許容範囲内と判定されるまで繰り返すことにより、各計算単位領域のパターン密度を決定することを特徴とするダミーパターンの設計方法。

【請求項2】 前記各計算単位領域のパターン密度が前記決定されたパターン密度となるように、所定形状のダミーパターンを配置することを特徴とする請求項1記載のダミーパターンの設計方法。

【請求項3】 前記ステップ(c)において、前記許容パターン密度は、所定の配線から所定の距離以上離れた領域を抽出して、当該領域の全体を埋めるようにダミーパターンを形成した場合の、各計算単位領域のパターン密度であることを特徴とする請求項1または2記載のダミーパターンの設計方法。

【請求項4】 各配線を表す領域の幅を前記所定の距離に応じて拡大し、

前記拡大された領域以外の領域を、論理演算により抽出することによって、

前記所定の配線から所定の距離以上離れた領域を抽出することを特徴とする請求項3記載のダミーパターンの設計方法。

【請求項5】 前記所定の配線は、ダミーパターンを形成する層と同層にある配線のみならず、他の層の配線も含むことを特徴とする請求項3または4記載のダミーパターンの設計方法。

【請求項6】 前記ステップ(c)において、前記適正パターン密度は、前記研磨シミュレーションにより求められた被研磨層膜厚に基づいて前記研磨面の表面段差が

許容範囲内となるように目標膜厚を設定して、当該目標膜厚から当該目標膜厚を達成するためのパターン密度を逆算することにより求めたものであることを特徴とする請求項1から5のいずれかに記載のダミーパターンの設計方法。

【請求項7】 前記ステップ(c)において、前記修正パターン密度を決定する際に、前記適正パターン密度と前記許容パターン密度とを比較して、当該適正パターン密度が当該許容パターン密度より大きいときには、当該許容パターン密度を修正パターン密度とすることを特徴とする請求項1から6のいずれかに記載のダミーパターンの設計方法。

【請求項8】 半導体装置の配線層に形成される、当該配線層の配線パターンとは別のダミーパターンの設計プログラムであって、コンピュータを、配線層のパターン密度に基づく研磨シミュレーションを行って、チップ上に定義された各計算単位領域における所定の基準面から研磨面までの高さを表す被研磨層膜厚を計算する研磨シミュレーション手段、

前記研磨シミュレーション手段により求められた各計算単位領域の被研磨層膜厚に基づいて、前記研磨面の表面段差が許容範囲内か否かを判定する表面段差評価手段、前記表面段差評価手段による判定の結果、許容範囲外と判定された場合に、前記計算単位領域ごとに、配線パターンとダミーパターンとの間に生ずる配線間容量が所定値以下となるようにダミーパターンを配置した場合の当該計算単位領域のパターン密度の上限値を表す許容パターン密度と、前記研磨面の表面段差が許容範囲内となるようにダミーパターンを配置した場合の当該計算単位領域のパターン密度を表す適正パターン密度とを求め、前記許容パターン密度および適正パターン密度に基づいて当該計算単位領域の修正パターン密度を決定する修正パターン密度決定手段として機能させ、

前記配線層のパターン密度を前記修正パターン密度決定手段により決定された修正パターン密度と置き換えて、前記研磨シミュレーション手段による被研磨層膜厚の計算および前記表面段差評価手段による研磨面の表面段差の評価を、当該研磨面の表面段差が許容範囲内と判定されるまでコンピュータに繰り返し行わせることにより、各計算単位領域のパターン密度を決定することを特徴とするダミーパターンの設計プログラム。

【請求項9】 前記コンピュータを、さらに、前記各計算単位領域のパターン密度が前記決定されたパターン密度となるように、所定形状のダミーパターンを配置するダミーパターン配置手段として機能させることを特徴とする請求項8記載のダミーパターンの設計プログラム。

【請求項10】 半導体装置の配線層に形成される、当該配線層の配線パターンとは別のダミーパターンの設計プログラムであって、コンピュータを、チップ上に定義された計算単位領域ごとに、配線パター

ンとダミーパターンとの間に生ずる配線間容量が所定値以下となるようにダミーパターンを配置した場合のパターン密度の上限値を表す許容パターン密度を求める手段。

前記計算単位領域ごとに、前記研磨面の表面段差が許容範囲内となるようにダミーパターンを配置した場合のパターン密度を表す適正パターン密度を求める手段。

前記各計算単位領域の修正パターン密度を、当該計算単位領域の前記許容パターン密度および適正パターン密度に基づいて決定する手段として機能させることを特徴とするダミーパターンの設計プログラム。

【請求項11】 前記許容パターン密度は、所定の配線から所定の距離以上離れた領域を抽出して、当該領域の全体を埋めるようにダミーパターンを形成した場合の、各計算単位領域のパターン密度であることを特徴とする請求項10記載のダミーパターンの設計プログラム。

【請求項12】 前記所定の配線から所定の距離以上離れた領域を抽出する処理が、

各配線を表す領域の幅を前記所定の距離に応じて拡大し、

前記拡大された領域以外の領域を、論理演算により抽出する処理であることを特徴とする請求項11記載のダミーパターンの設計プログラム。

【請求項13】 前記所定の配線は、ダミーパターンを形成する層と同層にある配線のみならず、他の層の配線も含むことを特徴とする請求項11または12記載のダミーパターンの設計プログラム。

【請求項14】 前記適正パターン密度は、前記CMPシミュレーション手段により求められた被研磨層膜厚に基づいて前記研磨面の表面段差が許容範囲内となるように目標膜厚を設定して、当該目標膜厚から当該目標膜厚を達成するためのパターン密度を逆算することにより求めたものであることを特徴とする請求項10から13のいずれかに記載のダミーパターンの設計プログラム。

【請求項15】 前記各計算単位領域の修正パターン密度を決定する際に、前記適正パターン密度と前記許容パターン密度とを比較して、当該適正パターン密度が当該許容パターン密度より大きいときには、当該許容パターン密度を修正パターン密度とすることを特徴とする請求項10から14のいずれかに記載のダミーパターンの設計プログラム。

【請求項16】 請求項8から15のいずれかに記載のダミーパターンの設計プログラムが記録されたコンピュータ読み取り可能な記録媒体。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】 本発明は、半導体装置の製造過程でCMP(Chemical Mechanical Polishing: 化学機械研磨)を行う場合に、研磨面の表面段差を解消するために配線層に予め形成しておくダミーパターンの設計方

法、その方法を実施するための設計プログラムおよびそのプログラムを記録したコンピュータ読み取り可能な記録媒体に関する。

##### 【0002】

【従来の技術】 近年、半導体デバイスの微細化に伴い、製造工程における多くのプロセスで、CMP技術が用いられるようになってきた。 CMPは、局所的な平坦化が容易であるため、多層配線の層間膜研磨のほか、配線メタルの研磨や、STI(Shallow Trench Isolation)工程における酸化膜の研磨などにも用いられている。

【0003】 このうち層間膜のCMPでは、その層間膜により覆われる配線パターンの密度が不均一な場合に研磨後も表面段差が残るという問題点が指摘されている。その解決策としては、配線層に配線パターンとは別のダミーパターンを形成することによってパターン密度を均一化して、研磨後の平坦性を向上させる方法が知られている。例えば、Ruiqi Tianらは、その論文「Model-Based Dummy Feature Placement for Oxide Chemical-Mechanical Polishing Manufacturability」(37th Design Automation Conference, 2000, pp667-670)において、シミュレーションモデルに基づいて、パターン密度が均一になるダミーパターンの配置を決定する方法を提案している。これは、チップを計算の単位となる複数の領域に分割して、線形計画法により、領域ごとにチップ内の膜厚差が最小となるようなパターン密度を求め、実際のパターン密度が計算されたパターン密度と等しくなるようにダミーパターンを配置する方法である。この方法によりダミーパターンを配置すれば、CMP工程後の研磨面の表面段差を低減することができる。

##### 【0004】

【発明が解決しようとする課題】 しかし、ダミーパターンの形成は、研磨面の表面段差を低減させる一方で、配線間容量の増加という新たな問題を生じさせる。したがって、パターン密度を均一化させるためとはいえ、配線間容量が問題となるほど多くのダミーパターンを形成することは好ましくない。上記方法は、最終的に決定されたパターン配置が、配線間容量の観点からみて問題ないかどうか検証できないという点で問題があった。さらに、上記方法は、計算単位領域ごとに線形計画法に基づく最適化の処理を行うため計算に時間がかかり、あまり実用的とはいえないかった。

【0005】 本発明は、これらの問題点に鑑みて、配線間容量の問題を生じさせない範囲で最適なダミーパターンの配置を、短時間で効率的に求めるための設計方法およびその方法を実施するためのプログラムおよびそのプログラムを記録したコンピュータ読み取り可能な記録媒体を提供することを目的とする。

##### 【0006】

【課題を解決するための手段】 本発明の方法は、半導体装置の配線層に形成される、当該配線層の配線パターン

とは別のダミーパターンの設計方法であって、(a) 配線層のパターン密度に基づく研磨シミュレーションを行って、チップ上に定義された各計算単位領域における所定の基準面から研磨面までの高さを表す被研磨層膜厚を計算するステップと、(b) 前記計算により求められた各計算単位領域の被研磨層膜厚に基づいて、研磨面の表面段差が許容範囲内か否かを判定するステップと、

(c) 前記判定において許容範囲外と判定した場合に、前記計算単位領域ごとに、配線パターンとダミーパターンとの間に生ずる配線間容量が所定値以下となるようにダミーパターンを配置した場合の当該計算単位領域のパターン密度の上限値を表す許容パターン密度と、前記研磨面の表面段差が許容範囲内となるようにダミーパターンを配置した場合の当該計算単位領域のパターン密度を表す適正パターン密度とを求め、前記許容パターン密度および適正パターン密度に基づいて当該計算単位領域の修正パターン密度を決定するステップとを含み、ステップ(a)における配線層のパターン密度を前記修正パターン密度と置き換えて、ステップ(a)から(c)までを前記研磨面の段差が許容範囲内と判定されるまで繰り返すことにより、各計算単位領域のパターン密度を決定することを特徴とするダミーパターンの設計方法である。パターン密度を決定したら、前記各計算単位領域のパターン密度が前記決定されたパターン密度となるように、所定形状のダミーパターンを配置する。

【0007】前記ステップ(c)において、前記許容パターン密度は、所定の配線から所定の距離以上離れた領域を抽出して、当該領域の全体を埋めるようにダミーパターンを形成した場合の、各計算単位領域のパターン密度とすることが好ましい。この際、各配線を表す領域の幅を前記所定の距離に応じて拡大し、前記拡大された領域以外の領域を、論理演算により抽出することによって、前記所定の配線から所定の距離以上離れた領域を抽出することが好ましい。なお、前記所定の配線は、ダミーパターンを形成する層と同層にある配線のみならず、他の層の配線も含むことが好ましい。

【0008】また、前記ステップ(c)において、前記適正パターン密度は、前記研磨シミュレーションにより求められた被研磨層膜厚に基づいて前記研磨面の表面段差が許容範囲内となるように目標膜厚を設定して、当該目標膜厚から当該目標膜厚を達成するためのパターン密度を逆算することにより求めたものとすることが好ましい。

【0009】また、前記ステップ(c)において、前記修正パターン密度を決定する際に、前記適正パターン密度と前記許容パターン密度とを比較して、当該適正パターン密度が当該許容パターン密度より大きいときには、当該許容パターン密度を修正パターン密度とすることが好ましい。

【0010】次に、本発明の第1の設計プログラムは、

半導体装置の配線層に形成される、当該配線層の配線パターンとは別のダミーパターンの設計プログラムであって、コンピュータを、配線層のパターン密度に基づく研磨シミュレーションを行って、チップ上に定義された各計算単位領域における所定の基準面から研磨面までの高さを表す被研磨層膜厚を計算する研磨シミュレーション手段、前記研磨シミュレーション手段により求められた各計算単位領域の被研磨層膜厚に基づいて、前記研磨面の表面段差が許容範囲内か否かを判定する表面段差評価手段、前記表面段差評価手段による判定の結果、許容範囲外と判定された場合に、前記計算単位領域ごとに、配線パターンとダミーパターンとの間に生ずる配線間容量が所定値以下となるようにダミーパターンを配置した場合の当該計算単位領域のパターン密度の上限値を表す許容パターン密度と、前記研磨面の表面段差が許容範囲内となるようにダミーパターンを配置した場合の当該計算単位領域のパターン密度を表す適正パターン密度とを求め、前記許容パターン密度および適正パターン密度に基づいて当該計算単位領域の修正パターン密度を決定する修正パターン密度決定手段として機能させ、前記配線層のパターン密度を前記修正パターン密度決定手段により決定された修正パターン密度と置き換えて、前記研磨シミュレーション手段による被研磨層膜厚の計算および前記表面段差評価手段による研磨面の表面段差の評価を、当該研磨面の表面段差が許容範囲内と判定されるまでコンピュータに繰り返し行わせることにより、各計算単位領域のパターン密度を決定することを特徴とするダミーパターンの設計プログラムである。

【0011】前記コンピュータを、さらに、前記各計算単位領域のパターン密度が前記決定されたパターン密度となるように、所定形状のダミーパターンを配置するダミーパターン配置手段として機能させてもよい。

【0012】また、本発明の第2の設計プログラムは、半導体装置の配線層に形成される、当該配線層の配線パターンとは別のダミーパターンの設計プログラムであって、コンピュータを、チップ上に定義された計算単位領域ごとに、配線パターンとダミーパターンとの間に生ずる配線間容量が所定値以下となるようにダミーパターンを配置した場合のパターン密度の上限値を表す許容パターン密度を求める手段、前記計算単位領域ごとに、前記研磨面の表面段差が許容範囲内となるようにダミーパターンを配置した場合のパターン密度を表す適正パターン密度を求める手段、前記各計算単位領域の修正パターン密度を、当該計算単位領域の前記許容パターン密度および適正パターン密度に基づいて決定する手段として機能させることを特徴とするダミーパターンの設計プログラムである。

【0013】この際、前記許容パターン密度は、所定の配線から所定の距離以上離れた領域を抽出して、当該領域の全体を埋めるようにダミーパターンを形成した場合

の、各計算単位領域のパターン密度であることが好ましい。また、前記所定の配線から所定の距離以上離れた領域を抽出する処理が、各配線を表す領域の幅を前記所定の距離に応じて拡大し、前記拡大された領域以外の領域を、論理演算により抽出する処理であることが好ましい。また、前記所定の配線は、ダミーパターンを形成する層と同層にある配線のみならず、他の層の配線も含むことが好ましい。

【0014】また、前記適正パターン密度は、前記C M Pシミュレーション手段により求められた被研磨層膜厚に基づいて前記研磨面の表面段差が許容範囲内となるように目標膜厚を設定して、当該目標膜厚から当該目標膜厚を達成するためのパターン密度を逆算することにより求めたものであることが好ましい。

【0015】また、前記各計算単位領域の修正パターン密度を決定する際に、前記適正パターン密度と前記許容パターン密度とを比較して、当該適正パターン密度が当該許容パターン密度より大きいときには、当該許容パターン密度を修正パターン密度とすることが好ましい。

【0016】また、本発明の記録媒体は、上記本発明の第1または第2のダミーパターンの設計プログラムが記録されたコンピュータ読み取り可能な記録媒体である。

【0017】

【発明の実施の形態】以下、本発明の好適な実施の形態について、図面を参照して説明する。はじめに、「膜厚」という言葉の定義について説明する。本明細書においては、説明の便宜上、研磨面の段差を表現するために「膜厚」という言葉を使用する。言い換えれば、「膜厚」という言葉を、厳密な意味での膜の厚みを表す言葉としてではなく、所定の基準面から研磨面までの距離（高さ）を表す言葉として使用する。例えば、図7は、配線パターン20の上に絶縁層19を形成した状態を示すチップ断面図である。この図において、基準面を面Xとすれば、ポイントAの膜厚はhaであり、ポイントBの膜厚はhbではなく、hbである。また、基準面は図7の面Xに限られず、任意の面とすることができます。

【0018】実施の形態1、図1は、本発明の一実施の形態におけるダミーパターンの設計方法およびプログラムの処理の概要を示すフローチャートである。はじめに、ダミーパターンを配置する前の配線パターンの密度を計算する（S101）。次に、そのパターン密度に基づいてC M Pシミュレーションを実行してダミーパターンを形成せずにC M Pを行った場合の膜厚を計算する（S102）。シミュレーション結果に基づいて研磨面の表面段差を評価した結果（S103）、段差が許容範囲内であればダミーパターンを追加する必要はないため、もとのレイアウトデータがそのまま最終レイアウトデータとなる（S107）。一方、段差が許容範囲内にない場合には、パターン密度の値を修正し（S106）、修正した値に基づいて再度シミュレーションによ

る評価を行う（S102、S103）。再評価の結果、なお段差が許容範囲内にない場合には、研磨面の表面段差の評価条件あるいはパターン密度を修正する際の計算式の条件などを調整する（S105）。調整した条件のもとで再度パターン密度を修正し（S106）、シミュレーションと結果の評価を行う（S102、S103）。段差が許容範囲内になるまで同様の処理を繰り返し、最終的に許容範囲内となった時点のパターン密度を、ダミーパターン形成後のパターン密度と決定する。さらに、パターン密度が、その決定したパターン密度となるように所定の形状（例えばメッシュ状）のダミーパターンを配置した最終レイアウトデータを生成する（S107）。なお、図1のステップS104は何回目の評価であるかを判定するステップであり、再シミュレーションを行う前に条件の調整（S105）を行う必要があるか否かを判断するステップである。

【0019】以上は、処理の全体的な流れであるが、次にパターン密度の修正処理（S106）について、さらに説明する。図2は、上記方法を実施する設計プログラムの構造を表すブロック図である。図2において、パターン密度計算手段2は、レイアウトデータ1に基づいてダミーパターン配置前の配線パターンの密度を計算する手段（ステップS101を実行する手段）であり、C M Pシミュレーション手段3は、ステップS102のシミュレーションを実行する手段であり、表面段差評価手段4は段差が許容範囲内か否かを判定する手段（ステップS103を実行する手段）であり、レイアウトデータ修正手段5は、もとのレイアウトデータ1を修正してダミーパターンを追加した修正版のレイアウトデータを生成する手段（ステップS107を実行するための手段）である。また、図2において枠6により囲まれている手段が、パターン密度を修正するための手段（ステップS106を実行するための手段）に相当する。

【0020】パターン密度を修正するための手段6は、レイアウトデータ1に基づいてダミーパターン許容領域を抽出するダミーパターン許容領域抽出手段7と、抽出されたダミーパターン許容領域に基づいて許容パターン密度を計算する許容パターン密度計算手段8と、表面段差評価手段4により段差が許容範囲内にないと判定された際に、その判定の対象となったシミュレーション結果に基づいて目標膜厚を設定する目標膜厚設定手段11と、設定された目標膜厚から適正パターン密度を求める適正パターン密度計算手段9と、許容パターン密度計算手段8により求められた許容パターン密度と適正パターン密度計算手段9により求められた適正パターン密度とに基づいて修正パターン密度を決定してC M Pシミュレーション手段3に受け渡す修正パターン密度決定手段10とからなる。

【0021】ここで、「ダミーパターン許容領域」とは、その領域にダミーパターンを形成しても、半導体装

置の機能に悪影響を及ぼすことがない領域をいう。つまり、その領域に形成したダミーパターンと本来の配線パターンとの間に生じる配線間容量が、十分に小さい領域をいう。「ダミーパターン許容領域」は、レイアウトデータ1に基づいて抽出することができる。また、「許容パターン密度」とは、半導体装置の機能に影響を及ぼさない範囲で、できるだけ多くのダミーパターンを形成した場合のパターン密度をいう。言い換えれば「ダミーパターン許容領域」を埋めつくすようにダミーパターンを形成した場合のパターン密度である。「許容パターン密度」は「ダミーパターン許容領域」の抽出結果に基づいて求めることができる。また、「適正パターン密度」とは、CMP平坦化を行う上で適正なパターンの密度をいう。すなわち、配線間容量の問題は全く考慮せず、単純に研磨面の表面段差が許容範囲になるように定めたパターン密度である。本実施の形態では、「適正パターン密度」をレイアウトデータ1から求めるではなく、設定された目標膜厚から逆算により求める。この際、目標膜厚は、CMPシミュレーションの結果をもとに研磨面の表面段差が緩和されるよう設定する。

【0022】本実施の形態では、修正パターン密度決定手段10は、許容パターン密度と適正パターン密度とを比較して、適正パターン密度が許容パターン密度以下であれば適正パターン密度を修正パターン密度とし、適正パターン密度のほうが大きければ許容パターン密度を修正パターン密度とする。つまり、研磨面の表面段差を許容範囲内とするためには修正パターン密度を適正パターン密度とすればよいのであるが、適正パターン密度が許容パターン密度よりも大きい場合には配線間容量などの問題が生ずるおそれがあるので、問題回避を優先し、許容パターン密度を採用する。決定された修正パターン密度はCMPシミュレーション手段3の入力となり、再びCMPシミュレーションが実行される。

【0023】以上、本発明の処理の全体的な流れおよび各処理ステップあるいは各手段により実行される処理について説明したが、次に具体的な計算処理について、さらに詳しく説明する。

【0024】図3は、チップのレイアウトの一例とパターン密度の計算方法を説明するための図である。前述のパターン密度の計算やCMPシミュレーションは、図3に示すように、LSIチップ1上に、計算の単位となる所定の大きさの領域12（以下、計算単位領域といいう。）を定義して、計算単位領域ごとに実行する。本実施の形態では、実際の大きさにして $100\mu\text{m} \times 100\mu\text{m}$ の領域を計算単位領域としている。但し、計算単位領域の大きさは設計事項の1つにすぎないため、より大きな（あるいは小さな）領域としてもよい。また、本実施の形態では処理を簡単にするために、すべての計算単位領域を均一な大きさとしているが、本発明の方法は計算単位領域が均一な大きさである場合に限定されるもので

はない。なお、以下の説明では、各計算単位領域を*i*=1, 2, 3···という符号により表すものとし、例えば計算単位領域*i*のパターン密度ρは、 $\rho_i$ と表す。

【0025】まず、図2のパターン密度計算手段2の処理について説明する。パターン密度は、配線を表す領域の面積比として求めることができる。例えば、図3に示すように、6本の配線13が配置されたレイアウトであれば、この計算単位領域12のパターン密度は、6本の配線13を表す領域の面積の合計を、計算単位領域全体の面積で除算した値として求めることができる。

【0026】次に、図2のCMPシミュレーション手段3の処理について、図4を参照して説明する。図4はCMPシミュレーションのモデルを説明するための図であり、配線パターン20上に形成された絶縁膜19を研磨装置17に取り付けられた研磨布18（以下「パッド」という。）により研磨する様子を示している。

【0027】本実施の形態で使用するシミュレーションモデルでは、第1に、絶縁膜19の表面の凹凸によりパッド18が変形してパッドに応力が加わることから、その応力は、絶縁膜19の表面の段差分布と応力応答関数との重畠（コンボリューション）で与えられるとする。前述のように、表面の段差を絶縁膜19の膜厚*h*として表現することとすると、計算単位領域*i*においてパッド18に生じる歪は、*h*<sub>*i*</sub>の変化量から周辺領域から加わる力による変化量を減算することにより求められる。この際、変化量の差分はもとの膜厚の差分として表すこともできるため、パッド18にかかる垂直応力σは、次式(1)で表すことができる。

【数1】

$$\sigma = E / L \left\{ h_i - \sum_j h_{j-i} f_{j-i} \right\} \dots (1)$$

但し、Eはパッドの弾性率、Lはパッドの変形前の膜厚とする。なお、本実施の形態では、応力応答関数fは、軸対象モデルを用いて中央の座標点のみを変位拘束した場合の弾性解析で求めた引張り応力をもとに、実測結果に適合するように応力応答関数值を求めて決定した。弾性解析には、例えばサイバネットシステム株式会社の有限要素法解析プログラム「ANSYS」を使用する。

【0028】第2に、このシミュレーションモデルでは、応力集中により、パッド18に加わる垂直応力σは、パターン20の密度ρに反比例するものとする。第3に、Prestonの式から、研磨速度はパッド18に加わる垂直応力に比例するものとする。但し、パッド18には、絶縁膜19からの垂直応力σのほか、CMP装置17からの応力P<sub>*i*</sub>も加わっているものとする。

【0029】以上の3つの前提から、研磨速度（単位時間あたりの研磨量）を、次式(2)により表すものとする。

【数2】

$$\Delta h_i / \Delta t = A [E / L \{h_i - \sum_j h_j \cdot f_{j-i}\} + P_i] / \rho_i \quad \dots (2)$$

但し、 $\Delta h_i / \Delta t$  は単位時間当たりの研磨量、Aは定数、Eはパッドの弾性率、Lはパッドの膜厚、 $\rho_i$ はパターン密度とする。(2)式を時間積分すれば、所定時間C M Pを行った場合の研磨量を求めることができ、さらにはもとの膜厚と研磨量との差を計算することにより、C M P工程後の各領域の膜厚 $h_i$ を求めることができる。なお、コンボリューションの計算に高速フーリエ変換(F F T)アルゴリズムを利用すれば、計算時間をより短縮することもできる。なお、このシミュレーションモデルは一例にすぎず、他のシミュレーションモデルを採用してもよいことはいうまでもない。

【0030】次に、図2の表面段差評価手段4の処理について説明する。本実施の形態では、研磨面の表面段差を、C M Pシミュレーションにより求められた各計算単位領域の膜厚の中から最大値と最小値を選択し、その差分を予め定めた目標段差と比較して許容範囲内か否かを評価する。本実施の形態では、この目標段差 $\Delta H$ を、次式(3)により定義する。

【数3】

$$\Delta H = (h_{\max} - h_{\min}) \cdot D_{\min} / (D_{\min} + \Delta d_{\min} / 2) \dots (3)$$

但し、 $h_{\max}$ はC M Pシミュレーションにより得られた膜厚の最大値、 $h_{\min}$ は最小値である。また、膜厚が最小となった計算単位領域を中心とする500 μm四方の領域のパターン密度の平均値を $D_{\min}$ とし、この領域で前述のダミーパターン許容領域内すべてにダミーパターンを形成した場合のパターン密度の増加量を $\Delta d_{\min}$ としている。但し、目標段差 $\Delta H$ の定義が上記(3)式による定義に限定されることは言うまでもない。

【0031】次に、図2の目標膜厚設定手段11の処理について説明する。本実施の形態においては、前記目標段差 $\Delta H$ に基づいて、次式(4)により表される値を、各計算単位領域の目標膜厚 $h_{gi}$ とする。

【数4】

$$h_{gi} = h_{\max} - (h_{\max} - h_i) \cdot \Delta H / (h_{\max} - h_{\min}) \dots (4)$$

なお、目標膜厚 $h_{gi}$ を他の式により定義してもよいことはいうまでもない。

【0032】次に、図2の適正パターン密度計算手段9の処理について説明する。本実施の形態では、各計算単位領域の適正パターン密度 $D_{pi}$ を次の(5)式を用いて、(4)式により求めた目標膜厚 $h_g$ から逆算する。

【数5】

$$D_{pi} = \sum_j h_{gi} \cdot F_{j-i} \dots (5)$$

但し、関数Fは、前記応力応答関数fの時間積分として求められるフィルタ関数である。なお、式(5)についても、高速フーリエ変換アルゴリズムを利用して計算を

行っててもよい。

【0033】次に、図2のダミーパターン許容領域抽出手段7の処理について説明する。図5は、ダミーパターン許容領域の抽出方法と許容ダミーパターン密度の求め方を説明するための図である。前述のように、ダミーパターン許容領域は、ダミーパターンを形成しても本来の配線との間で配線間容量の問題が生じないような領域である。そこで、本実施の形態では、逆にダミーパターンを形成すると問題が生ずる領域を求め、それ以外の領域を論理演算により抽出してダミーパターン許容領域とする。まず、図5(a)に示すように配線13の幅14を広げるデータ処理を行うことによって、ダミーパターンを形成できない領域(以下、ダミーパターン非許容領域という。)とする。配線から一定距離以上離れた位置であればダミーパターンを形成しても配線間容量は問題にならないからである。配線幅14を広げる処理をすべての配線について行うと、図5(b)に示すようにダミーパターン非許容領域15が得られる。このレイアウトデータを反転させるためのN O R演算を実行すれば、結果的に、ダミーパターン許容領域16を抽出することができる。

【0034】但し、ダミーパターン許容領域16の抽出方法は上記方法に限定されない。例えば、選択された一部の配線との間で配線間容量の問題が生じなければよいという場合であれば、ダミーパターン許容領域16は、必ずしもすべての配線から一定距離以上離れている必要はなく、対象とする一部の配線から一定距離以上離れていればよい。

【0035】次に、図2の許容パターン密度計算手段8の処理について、同じく図5を参照して説明する。前述のように、本実施の形態では、許容パターン密度は、ダミーパターン許容領域を埋めつくすようにダミーパターンを形成した場合のパターン密度である。したがって、図5(c)に示した配線13の領域面積と、ダミーパターン許容領域16の面積とを加算した値を計算単位領域の面積で除算した値が、許容パターン密度となる。

【0036】図2の修正パターン密度決定手段10の処理については、前述のとおりである。すなわち、適正パターン密度が許容パターン密度より大きければ許容パターン密度をその計算単位領域の修正パターン密度とし、それ以外の場合には適正パターン密度を修正パターン密度とする。但し、修正パターン密度の決定方法もまた、本実施の形態の方法に限定されるものではない。例えば許容パターン密度と適正パターン密度のそれぞれに重み付け係数をかけて足した値を修正パターン密度とする方法などでもよい。

【0037】また、本実施の形態では、図1のステップS105の条件の調整として、(3)式により定義され

る目標段差 $\Delta H$ の値を10%増加する。調整する条件としては、このほか、例えばダミーパターン許容領域を抽出する処理で配線幅を広くする際に、その幅の増加量を小さくする方法などが考えられる。

【0038】以上説明したように、本実施の形態では、ダミーパターンの配置を決定するにあたり、まずCMPシミュレーションを実行し、その結果に基づいて各計算単位領域の目標膜厚を設定し、CMP後の膜厚がその目標膜厚となるようなパターン密度を所定の計算式により逆算して求める。また、一方で、ダミーパターンとともに配線との間に生じる配線間容量が所定値以下になるよう、パターン密度の上限（許容パターン密度）を定めておき、前記逆算により求めたパターン密度がその上限を超えるときは、上限値を修正パターン密度とする。このため、配線間容量を所定値以下におさえつつ、CMP後の研磨面の表面段差を解消することができる。

【0039】また上記シミュレーションモデルを採用した場合には、実行する計算は、簡単な論理演算と、数回のコンボリューション演算に限られるため、線形計画法に基づいてパターン密度を最適化する従来の方法に比べればはるかに計算量が少なく、短時間で結果を得ることができる。例えば、標準的なチップで、計算単位領域の大きさを $100\mu m$ 四方とし、クロック周波数が $500MHz \times CPU$ により演算を行った場合、20分以内に計算が終了することが確認されている。

【0040】また、上述の説明から明らかであるように、各ステップの処理は、いくつかの値を予め定めておけば、ある程度の自動化が可能である。このため、CMP工程用のダミーパターンの自動設計システムを構築することができる。

【0041】実施の形態2、次に、実施の形態2について説明する。上記実施の形態1では、ダミーパターン許容領域を、同じ層にある配線との間で配線間容量の問題が生じないような領域として抽出したが、多層配線の場合には上下層にある配線との間に生じる配線間容量が問題となる場合もある。そこで、実施の形態2では、上下層にある配線も考慮してダミーパターン許容領域を抽出する。

【0042】図6は、多層配線の場合のダミーパターン許容領域の抽出方法を説明するための図であり、2層分のレイアウトを重ねて表示した図である。配線13aはダミーパターンを形成する層に、また配線13bはその上の層にある。実施の形態1と同じく、配線13aの幅を距離21a分、また配線13bの幅を距離21b分広げ、NOR演算をすることによりダミーパターン許容領域16を抽出する。但し、距離21bは距離21aよりも小さくてよい。上層にある配線の場合、平面的には距離21bしか離れていないくとも、実際には距離21aだけ離れているからである。

【0043】実施の形態2によれば、上下層の配線との

間に生じる配線間容量も考慮に入れた上で最適なダミーパターンの配置を求めることができ、ダミーパターンの形成により生じる速度劣化の防止に、さらなる効果を發揮する。

#### 【0044】

【発明の効果】本発明の方法などでは、配線間容量低減という要求から導かれる許容パターン密度と、研磨面の表面段差低減の要求から導かれる適正パターン密度とをそれぞれ求めて、両密度に基づいてパターン密度の修正値を求め、さらに研磨面の表面段差が許容範囲内となるかをシミュレーションにより繰り返し検証するので、2つの要求をバランスよく満たしたパターン密度を決定することができる。

【0045】さらには、ダミーパターンの形状を所定の形状（例えばメッシュ状）と予め定めておけば、ダミーパターンの配置は一義的に決まるので、レイアウト修正までの処理を自動化することができる。

【0046】また、配線パターンから所定の距離以上離れていれば配線間容量は所定値以下となるという前提をたてれば、許容パターン密度を簡単な演算のみで求めることができ効率がよい。さらに、この前提のもとでは、レイアウト上の配線領域の幅を拡大し、それ以外の領域を論理演算により抽出することによって、ダミーパターンを形成できる領域を抽出できるので、領域抽出処理を自動化することができる。

【0047】また、配線間容量を考慮する際に、ダミーパターンを形成する層にある配線のみならず、他層にある配線との間に生じる配線間容量も考慮するようにすれば、配線間容量増加による速度劣化をさらに効率よく防止することができる。

【0048】また、適正パターン密度を求める際に、もとの配線レイアウトに基づいて計算を行うのではなく、CMPシミュレーションの結果に基づいて目標膜厚を設定して、その目標膜厚からパターン密度を逆算するようにすれば、計算量が少ないため処理時間を短縮することができる。

【0049】また、許容パターン密度と適正パターン密度とを比較して、適正パターン密度が許容パターン密度を越えるときには、許容パターン密度を修正パターン密度とすることにすれば、簡単な比較演算のみで、配線間容量の問題に配慮したダミーパターンの設計が可能になる。

#### 【図面の簡単な説明】

【図1】ダミーパターンの設計方法およびプログラムの処理の概要を示すフローチャート

【図2】ダミーパターン設計プログラムの構造を示すブロック図

【図3】レイアウトの一例とパターン密度の計算方法を説明するための図

【図4】CMPシミュレーションのモデルを説明するた

めの図

【図5】 ダミーパターン許容領域の抽出方法と許容ダミーパターン密度の求め方を説明するための図

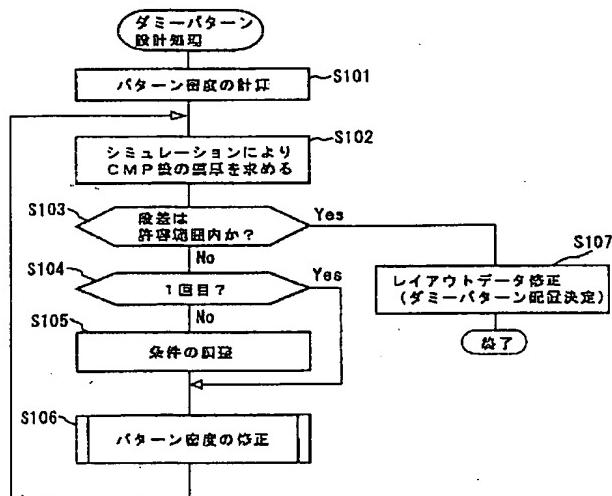
【図6】 多層配線の場合のダミーパターン許容領域の抽出方法を説明するための図

【図7】 「膜厚」の定義について説明するための図

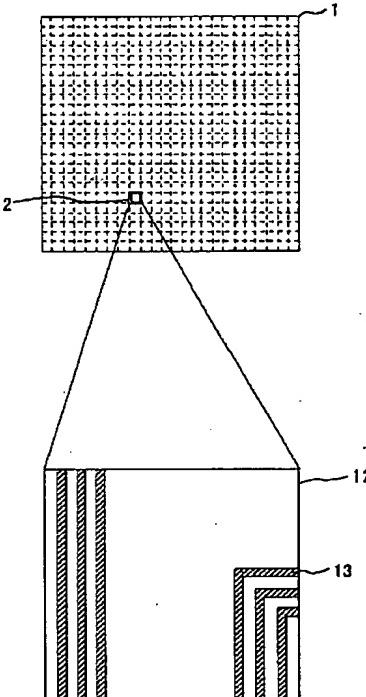
### 【符号の説明】

- 1 レイアウトデータ、12 計算単位領域、13 配線、14 配線幅、15 ダミーパターン非許容領域、16 ダミーパターン許容領域、17 CMP装置、18 研磨布(パッド)、19 絶縁膜、20 配線パターン、21 ダミーパターン許容領域までの距離。

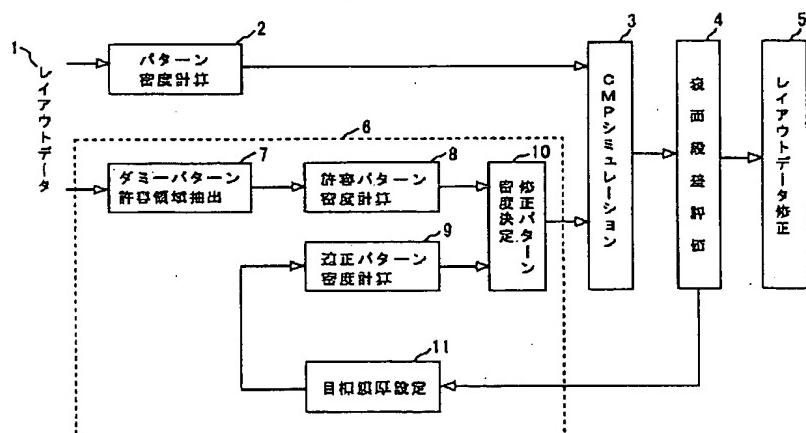
【図1】



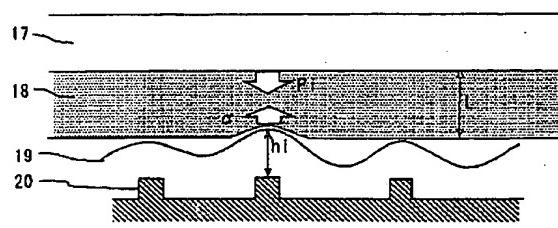
【図3】



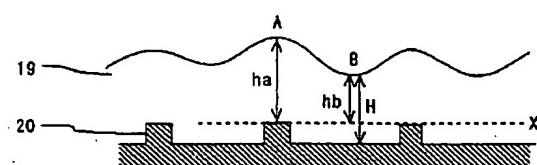
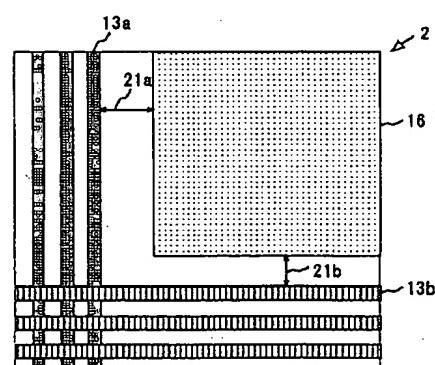
【図2】



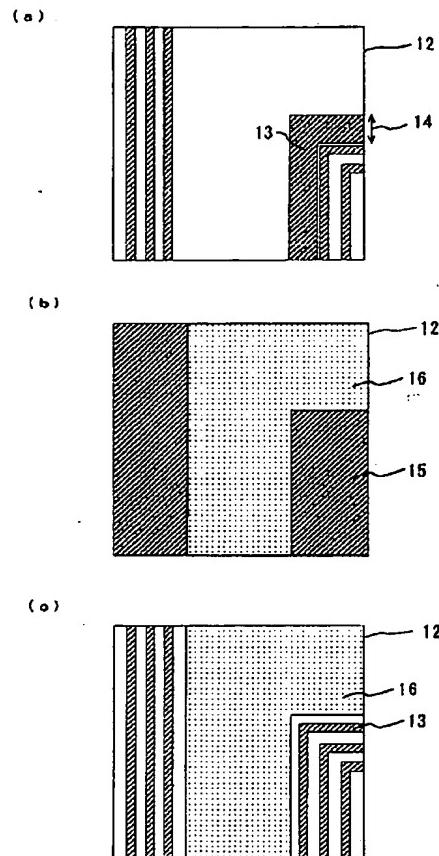
【図4】



【図6】



【図 5】




---

フロントページの続き

F ターム(参考) 5B046 AA08 BA06  
 5F033 QQ48 UU03 UU07 VV02 XX19  
 XX23  
 5F064 EE02 EE03 EE12 EE14 EE15  
 EE16 EE17 EE22 EE26 EE43  
 EE60 HH06 HH09 HH10